

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2559999号

(45)発行日 平成8年(1996)12月4日

(24)登録日 平成8年(1996)9月5日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 31/12			H 0 1 L 31/12	J
21/20			21/20	
29/06			29/06	
33/00			33/00	A

請求項の数17(全 7 頁)

(21)出願番号	特願平6-39678	(73)特許権者	390009531 インターナショナル・ビジネス・マシー ンズ・コーポレーション INTERNATIONAL BUSI NESS MACHINES COR PORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22)出願日	平成6年(1994)3月10日	(72)発明者	ジョナサン・ダニエル・チャップルーソ コル アメリカ合衆国 ニューヨーク州 ポウ キープシ ホーマー プレイス 12
(65)公開番号	特開平6-326359	(74)代理人	弁理士 合田 潔 (外2名)
(43)公開日	平成6年(1994)11月25日		
(31)優先権主張番号	0 3 7 1 5 4		
(32)優先日	1993年3月25日		
(33)優先権主張国	米国 (U S)		
		審査官	後藤 時男

最終頁に続く

(54)【発明の名称】 半導体発光／検出デバイスとその製造方法

(57)【特許請求の範囲】

【請求項1】半導体発光／検出デバイスの製造方法において、

(a) 第1の導電型の第1のドーブシリコン層を設ける工程と

(b) 前記第1のドーブシリコン層上に第1の真性シリコン・エピタキシャル層を形成する工程と、

(c) 前記第1の真性シリコン・エピタキシャル層に少なくとも1つの量子ドットを形成する工程と、

(d) 第2の真性シリコン・エピタキシャル層を、第1の真性シリコン・エピタキシャル層におよび前記少なくとも1つの量子ドット上に形成して、前記少なくとも1つの量子ドットを埋込む工程と、

(e) 前記第2の真性シリコン・エピタキシャル層上に第2の導電型の第2のドーブシリコン層を形成する工程

と、

(f) 前記層および前記少なくとも1つの量子ドットをもつ発光／検出デバイスを画成する工程と、を含むことを特徴とする半導体発光／検出デバイスの製造方法。

【請求項2】請求項1記載の半導体発光／検出デバイスの製造方法において、前記工程(c)が、元素の周期表のI V族の間接バンドギャップ材料を使用して、前記少なくとも1つの量子ドットを形成することを特徴とする半導体発光／検出デバイスの製造方法。

【請求項3】請求項2記載の半導体発光／検出デバイスの製造方法において、前記間接バンドギャップ材料が、ゲルマニウムより成ることを特徴とする半導体発光／検出デバイスの製造方

(2)

3

法。

【請求項4】請求項2記載の半導体発光／検出デバイスの製造方法において、前記間接バンドギャップ材料が、シリコン－ゲルマニウム合金より成ることを特徴とする半導体発光／検出デバイスの製造方法。

【請求項5】請求項1記載の半導体発光／検出デバイスの製造方法において、前記工程（f）が、リソグラフィックにパターニングし、反応性イオンエッチングすることを特徴とする半導体発光／検出デバイスの製造方法。

【請求項6】請求項1記載の半導体発光／検出デバイスの製造方法において、工程（f）が、リソグラフィックにパターニングし、ウェット化学エッチングすることを特徴とする半導体発光／検出デバイスの製造方法。

【請求項7】請求項1記載の半導体発光／検出デバイスの製造方法において、前記工程（c）および前記工程（d）が、ゲルマニウムおよびシリコンを交互に成長し、ゲルマニウムが量子ドットを形成し、シリコンが第2の真性シリコン・エピタキシャル層を形成し、量子ドットの量が、前記交互成長により増加することを特徴とする半導体発光／検出デバイスの製造方法。

【請求項8】請求項1記載の半導体発光／検出デバイスの製造方法において、前記工程（c）および前記工程（d）の各々が、低温エピタキシャル技術を使用することを特徴とする半導体発光／検出デバイスの製造方法。

【請求項9】請求項8記載の半導体発光／検出デバイスの製造方法において、前記少なくとも1つの量子ドットおよび第2の真性シリコン・エピタキシャル層は、低温エピタキシャル技術を使用してほぼ同じ温度で成長させることを特徴とする半導体発光／検出デバイスの製造方法。

【請求項10】請求項1記載の半導体発光／検出デバイスの製造方法において、前記工程（c）が、約415～550℃の温度で、約1～100mTorrでHe中に約10%のGeを用いて、約1～60分間、超高真空化学気相成長を使用することを特徴とする半導体発光／検出デバイスの製造方法。

【請求項11】請求項1記載の半導体発光／検出デバイスの製造方法において、前記第2の真性シリコン・エピタキシャル層を、前記少なくとも1つの量子ドット上の横方向のオーバ成長で、前記第1の真性シリコン・エピタキシャル層上に、広く行き渡るように成長させることを特徴とする半導体発光／検出デバイスの製造方法。

4

【請求項12】請求項1記載の半導体発光／検出デバイスの製造方法において、前記工程（c）および前記工程（d）を、その場実行することを特徴とする半導体発光／検出デバイスの製造方法。

【請求項13】第1の導電型の第1のドーパシリコン層と、前記第1のドーパシリコン層に形成された真性シリコン・エピタキシャル層と、前記真性シリコン・エピタキシャル層内に埋込まれた少なくとも1つの量子ドットと、前記真性シリコン・エピタキシャル層上に形成された第2の導電型の第2のドーパシリコン層と、を備えることを特徴とする半導体発光／検出デバイス。

【請求項14】請求項13記載の半導体発光／検出デバイスにおいて、前記少なくとも1つの量子ドットが、元素の周期表のⅠⅤ族の半導体材料より成ることを特徴とする半導体発光／検出デバイス。

【請求項15】請求項14記載の半導体発光／検出デバイスにおいて、前記半導体材料が、ゲルマニウムより成ることを特徴とする半導体発光／検出デバイス。

【請求項16】請求項14記載の半導体発光／検出デバイスにおいて、前記半導体材料が、シリコン－ゲルマニウム合金をより成ることを特徴とする半導体発光／検出デバイス。

【請求項17】請求項13記載の半導体発光／検出デバイスにおいて、各層が、少なくとも1つの量子ドットを備える多層が、前記真性シリコン・エピタキシャル層に埋込まれていることを特徴とする半導体発光／検出デバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般的に半導体デバイスに関し、特に、半導体デバイスの光相互接続に関する。

【0002】

【従来の技術】半導体集積回路技術の進歩にしたがって、回路設計者は、回路性能を改良するために絶え間ぬ努力をしてきた。回路性能を著しく改良できる1つの方策は、回路速度の増大である。回路速度は、構成要素および／またはチップ間の相互接続を改良することにより増大できる。伝統的には、一般の配線が、このような相互接続に使用されてきた。一般の配線方法に共通に関連する欠点は、過度のノイズ、著しい遅延時間、クロストーク等を含む。相互接続を改良することにより回路速度を最適化しようとする場合、これらの欠点は、回路速度悪影響を及ぼすことがあり、それ故、集積回路設計者により考慮されねばならない。

(3)

5

【0003】一般の配線への代替案は、光接続である。一般の配線に関連する欠点の多くは、光相互接続について存在せず、それ故、光相互接続は、回路速度を増大できる。従って、光相互接続の利用は、半導体回路性能を増大し、改良することを追及する回路設計者にとって興味がある。

【0004】光相互接続は、III-V族半導体技術、特に、ガリウム砒素ベース(based)の技術の直接バンドギャップ材料を用いて以前から実行されてきた。実際には、GaAsベースの技術において、光接続の使用は、周知の、ありふれたものであり、配線に関する上記略述した問題を排除することにより、配線より更に速く動作しおよび配線より更に効果的に機能することが証明されてきた。この点に関し、直接バンドギャップ材料を、容易にレーザ放射または発光するようにして、光相互接続を形成できることがGaAsベースの技術において明らかにされてきた。

【0005】しかしながら、III-V族半導体技術の直接バンドギャップ材料と対照的に、IV族半導体技術、バイポーラまたはCMOSのような特にシリコンベースの技術の間接バンドギャップ材料で光相互接続は容易に実現されない。間接バンドギャップ材料は通常は発光しないので、このような材料から発光デバイスまたは光相互接続を作ることは特に困難である。

【0006】特に、2次元Si-Ge量子井戸は発光能力を有しないことが明らかであるので、1次元または量子ドット(dots)(0次元)が、Si-Geベースの技術において要求される。例えば、量子ドットの存在を示す、SiO<sub>2</sub>に埋込まれたGeの微細結晶からのルミネッセンスを論じている、20th International Conference on the Physics of Semiconductors, Vol. 3, pp 2375-2378 (1990)の“Quantum Dots of Ge Embedded in SiO<sub>2</sub> Thin Film: Optical Properties”を参照されたい。

【0007】シリコンは、今日の半導体技術において使用された最初の材料であるので、シリコン半導体技術において回路速度を改良する、相互接続の改良のような、いかなる方策も極めて望ましいものである。従って、シリコンベースの半導体技術において、光相互接続、それ故、発光/検出デバイスの必要性が存在する。

【0008】

【発明が解決しようとする課題】それ故、本発明の目的は、シリコンベースの半導体回路/サブシステムの性能を改良することにある。

【0009】本発明の他の目的は、高速のシリコンベースの半導体回路を提供することにある。

【0010】本発明の更なる目的は、シリコンベースの半導体デバイスにおける相互接続を改良することにあ

6

る。

【0011】本発明の更に他の目的は、シリコンベースの半導体デバイスにおける光相互接続を提供することにある。

【0012】

【課題を解決するための手段】前述の目的を達成するために、半導体発光/検出デバイスおよびその製造方法が提供される。半導体発光/検出デバイスは、第1のドーブシリコン層と、第1のドーブシリコン層上に形成された真性シリコン・エピタキシャル層とを有する。少なくとも1つの量子ドットが、第1の真性シリコン・エピタキシャル層内に埋込まれ、導電型が第1のドーブシリコンの導電型と反対の第2のドーブシリコン層が、第2の真性シリコン・エピタキシャル層上に形成される。

【0013】半導体発光/検出デバイスが製造される基板は、デバイスへの電氣的接触が必要とされるか、またはデバイスの分離が必要とされるかによって、第1または第2のシリコン層の導電型とすることができる。

【0014】

【実施例】以下、P-I-Nデバイスを製造するものとして説明するが、N-I-Pデバイスも本発明により製造でき、動作できることを理解すべきである。デバイスの種類の選択は、デバイスが使用される特定の応用に依存する。

【0015】まず図1に示すように、N<sup>+</sup>ドーブシリコン層10を設ける。このシリコン層は、基板、あるいは普通の技術を使用して基板内または基板上に成長されまたは打ち込みされる層とすることができる。この例において、もしデバイスが、N型の基板上に作製されるならば、他のデバイスへの低抵抗の相互接続部を設け、もし基板がP型であるならば、他のデバイスからの分離部を設ける。図2に示されるように、第1の真性シリコン・エピタキシャル層15を、N<sup>+</sup>シリコン層10上に一般的な方法で成長する。

【0016】次に、図3に示すように、元素の周期表のIV族に属する間接バンドギャップ材料である、約10~30nmのゲルマニウムまたはシリコン-ゲルマニウム合金を、第1の真性シリコン・エピタキシャル層15上に堆積して、第1の真性シリコン・エピタキシャル層15上に、結晶またはアモルファスのゲルマニウム“ボール”の不連続層、すなわちまたは分離されるゲルマニウムのアイランド(islands)を形成する。この点に関し、GeとSiとの間に格子不整合が存在し、GeがSi上に堆積すると、材料間の格子不整合が、応力を生じさせて、Geが平滑な層として形成されず、ゲルマニウムの“ボール”またはアイランドとして形成されることを引き起こす。これらの“ボール”またはアイランドを、この明細書では量子ドット20と称する。シリコン上に成長された、約数十nmサイズの、準安定結晶性Geクラスタ(clusters)の存在を確認する



(4)

7

ために低エネルギー回折の使用を論じている、アメリカ物理学会のAppl. Phys. Lett. 59 (9) 1991年8月26日号, 1061~1063頁“Diffraction Determination of the Structure of Metastable Three-dimensional Crystals of Ge Grown on Si (001)”を、また、Si上にGeアイランドを成長するために分子線ビームエピタキシーの使用を論じている、Japanese Journal of Applied Physics, Vol. 28, No. 4, 1989年4月号, L690~L693頁“Initial Stage of Growth of Ge on (100) Si by Gas Source Molecular Beam Epitaxy Using GeH<sub>4</sub>”を、一般に参照されたい。

【0017】一般的に、シリコン上のゲルマニウム量子ドット20の形成は、広いプロセス範囲にわたって達成可能であるが、しかし、約550℃以下の低い温度が、ドットサイズを制御し、SiとGeが相互拡散することを防止するために重要となる。この点に関し、Geの薄膜層は、高い成長速度の故に、より高い温度で成長することが困難となる。SiでなくGeのみを、一般の減圧化学気相成長(LPCVD)を使用して低温で成長できる。しかしながら、GeとSiの両方を、超高真空化学気相成長(UHVCVD)、低温常圧気化学気相成長(APCVD)、分子線ビームエピタキシー(MBE)、または他の低温エピタキシャル技術のいずれかを使用して成長できる。更にまた、これらの技術を用いて、種々の層を堆積することができ、このときこれらの層を、層の品質および発光効率を劣化させる堆積間の有害な環境へ曝すことはない。それ故、UHVCVD、低温APCVD、またはMBEのいずれかを、Ge量子ドット20を形成するために使用できる。このとき、Siも同じ技術を用いて成長させることができる。超高真空化学気相成長または低温APCVDは、製造能力の観点からMBE以上に好適とされる。

【0018】一例として、UHVCVDを使用してGe量子ドット20を形成するおおよその処理パラメータは以下のとおりである。

温度：415~550℃

He内の10%Ge：1~100mTorr

時間：1~60分

これらのパラメータは、“所定の(tailored)”Ge粒子サイズの範囲を与える。例えば、約515℃で、約4分間に約15mTorrで堆積するGeは、約10nmの直径を有するGe粒子サイズまたはGe量子ドットを作製する。

【0019】一例として、各量子ドット20は、約10~20nmの高さまたは厚さおよび約10nmの程度の

8

直径を有することができ、各量子ドット20は、隣合う量子ドット20から約10~20nmの間隔をあけることができる。しかしながら、量子ドット20の寸法および各量子ドット20間の間隔は、特定の応用および製造されるデバイスの条件に従って適合できる。例えば、発光の波長を、光信号伝送用の導波路および/または検出器に整合できる。

【0020】次に、図4に示すように、第2の真性シリコン・エピタキシャル層25を、第1の真性シリコン・エピタキシャル層15上に、および量子ドット20上に量子ドットを埋込むように堆積する。より具体的には、第2の真性シリコン・エピタキシャル層25を、量子ドット20間の第1の真性シリコン・エピタキシャル層15上に堆積し、および量子ドット20上に堆積する。その結果、量子ドット20が、第2の真性シリコン・エピタキシャル層25の材料内に埋込まれて、平滑な単一結晶層を形成する。この点に関し、第2の真性シリコン・エピタキシャル層25を、Ge量子ドット20上の横方向オーバ成長で、第1の真性シリコン・エピタキシャル層15上に広く行き渡るように成長させることを確実にするために、Ge量子ドット20の密度は適当に低くなるべきであり、すなわち、Ge量子ドット20が、相互に十分に間隔されるべきである。これは、第2の真性シリコン・エピタキシャル層25内で結晶配列を維持する。結晶配列は、エピタキシャル成長の特性であり、およびデバイスの電氣的動作にとって重要である。有利なことには、量子ドット20が不連続であり、第2の真性シリコン・エピタキシャル層25と比較して薄いので、第2の真性シリコン・エピタキシャル層25は、低い転位密度をもつ。

【0021】第2の真性シリコン・エピタキシャル層25を、Ge量子ドット20が成長される同じ温度で成長でき、このような温度が、第2の真性シリコン・エピタキシャル層25を成長させるため使用される他のプロセス・パラメータを制御する。一例として515℃の温度を使用して、第2の真性シリコン・エピタキシャル層25を、UHVCVDを使用し、約30分間、約1~3mTorrでシランを用い、約20nmの厚さに成長できる。

【0022】第2の真性シリコン・エピタキシャル層25を成長した後、第1の真性シリコン・エピタキシャル層15と第2の真性シリコン・エピタキシャル層25との間の界面は全く存在しない。このように、量子ドット20は、単一の同質なイントリンシック層に完全に埋込まれる。従って、図4と図5における層15と25との間の線、および図6における線は、作製プロセスにおける工程、すなわち単結晶金属遷移を反映しており、真の界面ではない。

【0023】一例として、第2の真性シリコン・エピタキシャル層25は、全ての処理の終了の後に約50nm

(5)

9

の全厚を有することができる。この点に関し、Ge量子ドット20の量を増加するためには、GeおよびSiの薄膜層を、第1の真性シリコン・エピタキシャル層15上に各々交互に成長できる。交互成長を、Ge量子ドット20の所望の量が達成されるまで、繰り返すことができる。このようなデバイスは、図6に示される。図6は、Ge層およびSi層の3つの交互する繰返しを示しているが、本発明によるデバイスは3つのこのような繰返しに限定されず、必要とされる多数の交互GeおよびSi層を、作製できることを理解するべきである。交互に成長するGeおよびSiにより生じる界面での汚染を、その場(in situ)成長を行うことにより防止できる。その場成長では、各層の成長に従って大気または他の有害な環境に曝すことなく単一の反応器で連続的に層を成長する。

【0024】次に、約50～150nmの厚さを有するP<sup>+</sup>シリコン層30を、第2の真性シリコン・エピタキシャル層25上に堆積する。

【0025】次に、Ge量子ドット20をもつこれらの層を、一般のリソグラフィ技術および反応性イオンエッチングを使用して活性領域内にパターンニングして画成し、図5に示されるような、個々の発光／検出デバイスを形成することができる。次に、発光／検出デバイスを、他の発光／検出デバイスとの中間チップまたは内部チップ光通信に使用できる。

【0026】図5に示すように、次に、薄い半透明金属コンタクト層60を発光／検出デバイス上に堆積でき、他のシリコン回路構成要素へ接続するための薄い金属コンタクトパッド／相互接続部65を次いで堆積する。これらの金属層60、65は、一般の技術を使用して堆積でき、次に、標準のリフトオフまたは反応性イオンエッチング処理を使用してパターンニングする。例えば、コンタクト層60は、光ファイバへの光コンタクト用の窓として機能する。

【0027】一例として、図7は、シリコン回路、例えば論理回路またはメモリ回路が内部に作製されたシリコンチップ50上に形成された本発明による発光／検出デバイス構造35、40および45を示す。製造プロセスでは低温が用いられるので、CMOSデバイス特性は損なわれない。各発光／検出デバイス35、40および45は、図1～図5に基づいて説明したように製造され、バイポーラまたはCMOSとすることのできるシリコン回路の完成後に製造できる。しかしながら、発光／検出デバイスを、個々の個別オプトエレクトロニクス構成要素、すなわち、他の回路と集積されない構成要素として、本発明によりまた製造できることを理解すべきである。

【0028】各発光／検出デバイス35、40および45を、金属線、拡散等のような一般の相互接続手段により、シリコン回路の適切な対応する構成要素に電氣的に

10

結合する。光信号を、1つの発光／検出デバイスから普通のシリコンベースの光検出器へ、またはフォトダイオードとして機能する本発明による他の発光／検出デバイスへ、等方的に伝送できる。すなわち、光導波路55を形成して、所望どおりに光信号を指向するために、複数の発光／検出デバイスをオプトエレクトロニクスの接続することができる。このような光導波路55は、例えば、酸化物、二酸化シリコン、窒化シリコン、またはいずれの透明材料を使用して、一般的に製造できる。もちろん、光導波路55を、光信号を正確に反射し、指向するための適切な角度をもつようにパターンニングしなければならない。

【0029】各発光／検出デバイス35、40および45は、光信号を電気インパルスに変換し、および電気インパルスを光信号に変換することにより変換器として機能でき、光を光学的に伝送し、受光することができる。一例として、発光／検出デバイス35へ結合されたシリコン回路が発光／検出デバイス40または45へ結合されたシリコン回路と通信することを必要とする場合について、動作を説明する。

【0030】発光／検出デバイス35に結合されたシリコン回路が、発光／検出デバイス35を介して電流を送って、発光／検出デバイス35を順方向にバイアスし、電荷キャリア(すなわち正孔および電子)を、それ故、発光／検出デバイスの第1、第2真性シリコン・エピタキシャル層(図1の参照番号15と25)内に注入する。GeはSiと比較して小さいバンドギャップを有するので、Siに埋め込まれたGeは、一連の0次元量子井戸(ドット)を形成する。各量子井戸は、高い捕集率を有する。高い捕集率の故に、電荷キャリアは、量子井戸に、より具体的には、発光／検出デバイス35内の量子ドットに、捕獲され、閉じ込められる。このとき、電荷キャリアは、量子ドットで放射的に(radiatively)再結合する。このように、量子ドットは電氣的に“ポンプ作用し(pumped)”，シリコン回路から流れる電流を、発光または光信号に変換する。これらの光信号を、発光／検出デバイス35により、中間レベルの誘電体または空気を経て等方的に、発光／検出デバイス45へ、または導波路55を経て発光／検出デバイス35から発光／検出デバイス40へ伝達する。どちらの場合においても、発光／検出デバイス40または45が光信号を受けた後、発光／検出デバイス40または45は、光信号を電気信号に再変換する。電気信号は、発光／検出デバイス40または45に結合されたシリコン回路へ送られる。

【0031】本発明の発光／検出デバイスは、デバイスの空乏化されたイントリンシック領域で電子-正孔対に変換される吸収光によって普通のシリコンフォトダイオードとして機能できる。そのように形成された電子および正孔は、分離されて、ダイオードのnおよびp拡散領



(6)

11

域に送られる。このようにして、電気信号を発生する。この点において、本発明により必ずしも製造されない、いずれの適切な検出器も、光信号を検出するために使用できる。

【0032】特定の実施例として、Ge量子ドットは、P-I-Nダイオードの空乏領域内の狭バンドギャップの領域として機能する。図8において、シリコンのバンドギャップ内にあるGe量子ドットのエネルギーバンド間のキャリアの移動は、起こらないことを示している。図8の点線は、フェルミ準位を示している。

【0033】図9に示すように、正の電圧が、ダイオードのp拡散側（n側に対して）に供給されると、空乏領域が消失し、キャリアがドープ領域間を流れる。供給される電界は、正孔がn拡散側へ移動し、電子がp拡散側へ移動する導電型によりキャリアの分離を生じる。この電荷の分離は、Ge量子ドットをキャリアで充填させる。これらのキャリアは、それらの波長と比較して小さい幾何学的体積内に閉じ込められ、再結合時に、Ge量子ドットのサイズの関数である所定の波長で発光する。逆方向バイアスモード時には、このデバイスは、周知のP-I-Nダイオード検出器のように振る舞う。換言すれば、光吸収は、電界により分離される電子-正孔対を作り出し、光電流を発生する。この光電流は、増幅されて検出される。

【0034】本発明を特定の実施例により説明したが、当業者には多くの変更、変形が可能なことは明らかである。従って、本発明の範囲および趣旨内の全てのこのような変更、変形を包含するものである。

【0035】

【発明の効果】本発明により、シリコンベースの半導体回路/サブシステムの性能が改良される。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体発光/検出デバ

12

イスの製造中の処理の種々の段階での基板の一部を示した断面図である。

【図2】本発明の一実施例による半導体発光/検出デバイスの製造中の処理の種々の段階での基板の一部を示した断面図である。

【図3】本発明の一実施例による半導体発光/検出デバイスの製造中の処理の種々の段階での基板の一部を示した断面図である。

【図4】本発明の一実施例による半導体発光/検出デバイスの製造中の処理の種々の段階での基板の一部を示した断面図である。

【図5】本発明の一実施例による半導体発光/検出デバイスの製造中の処理の種々の段階での基板の一部を示した断面図である。

【図6】本発明によるSiに埋め込まれた量子ドットの複数の層を示す図である。

【図7】本発明によるシリコンチップに形成された半導体発光/検出デバイスを示す図である。

【図8】本発明のデバイスのバンド構造を示す図である。

【図9】本発明のデバイスのバンド構造を示す図である。

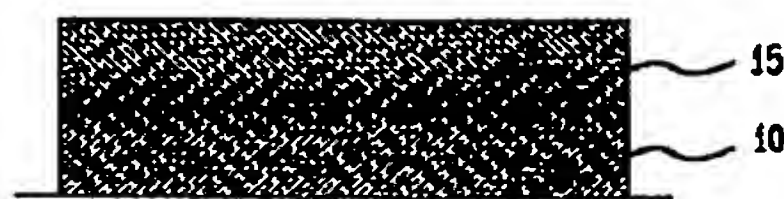
【符号の説明】

- 10 N<sup>+</sup> シリコン層
- 15 第1のエピタキシャル層
- 20 量子ドット
- 25 第2のエピタキシャル層
- 30 P<sup>+</sup> エピタキシャル層
- 35, 40, 45 発光/検出デバイス
- 50 シリコンチップ
- 55 光導波路
- 60, 65 金属コンタクト層

【図1】



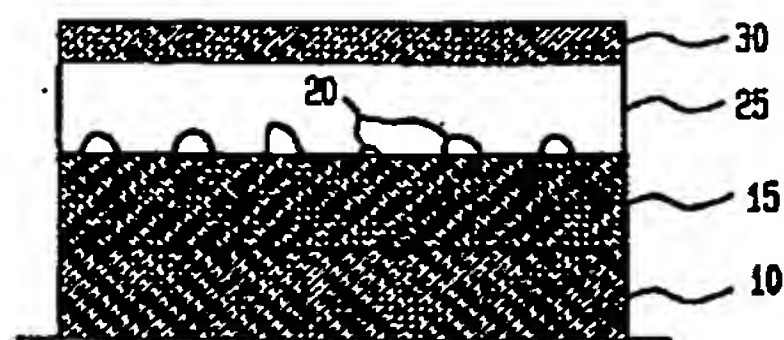
【図2】



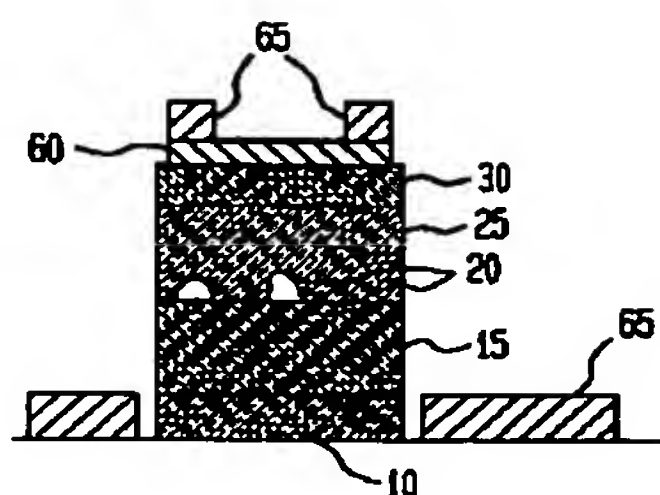
【図3】



【図4】

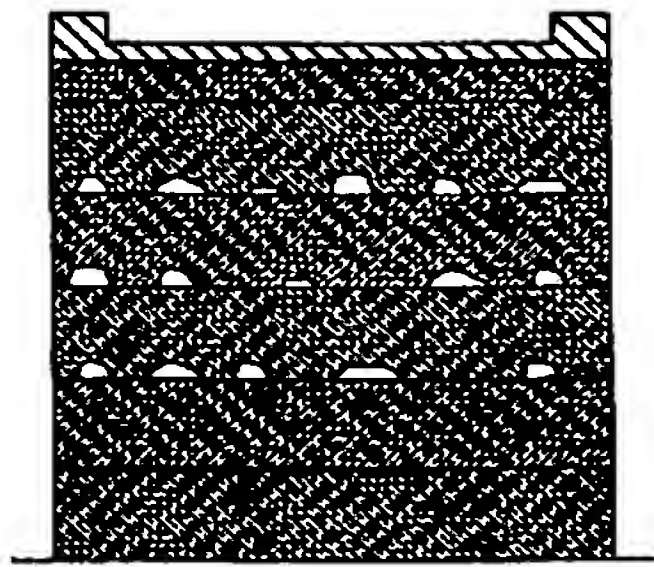


【図5】

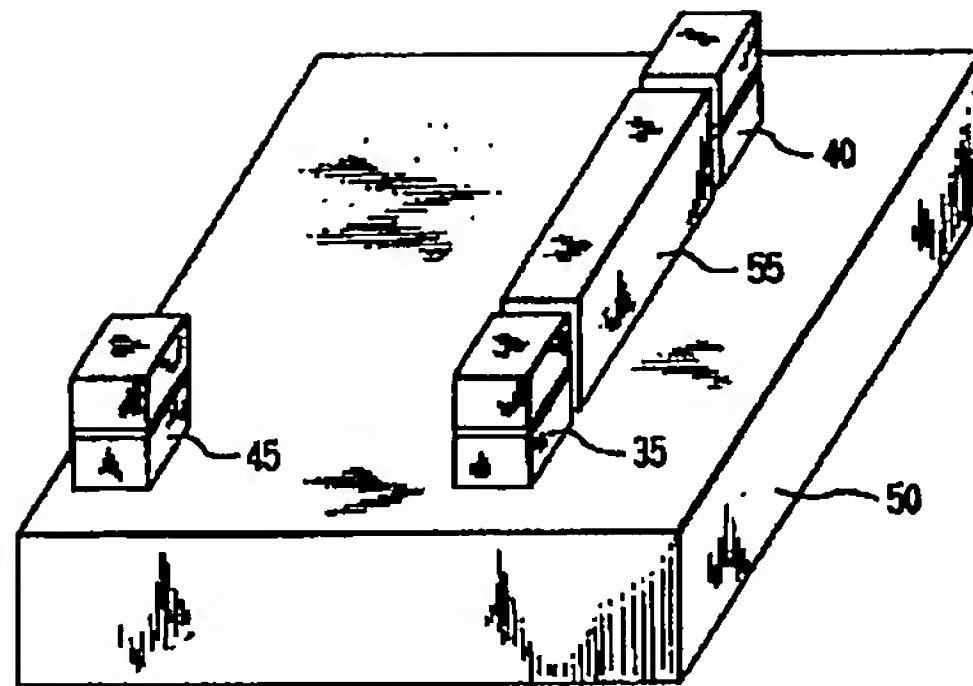


(7)

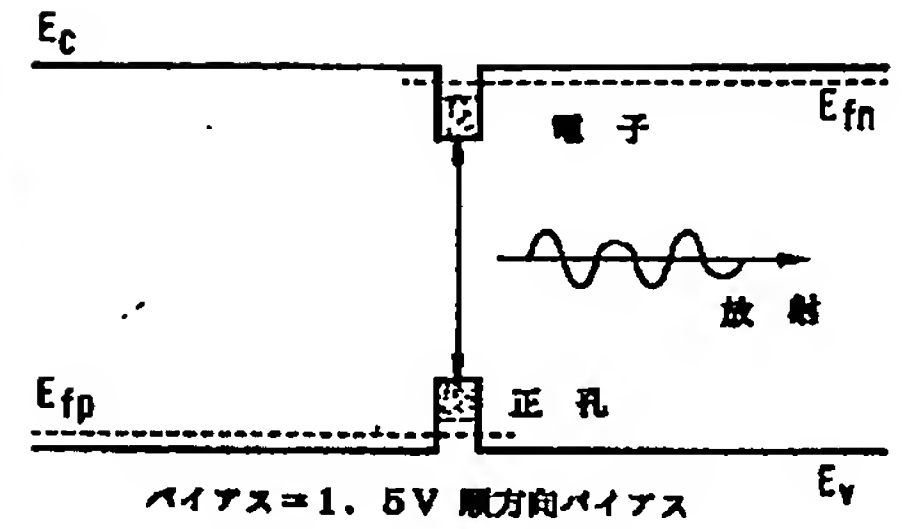
【図6】



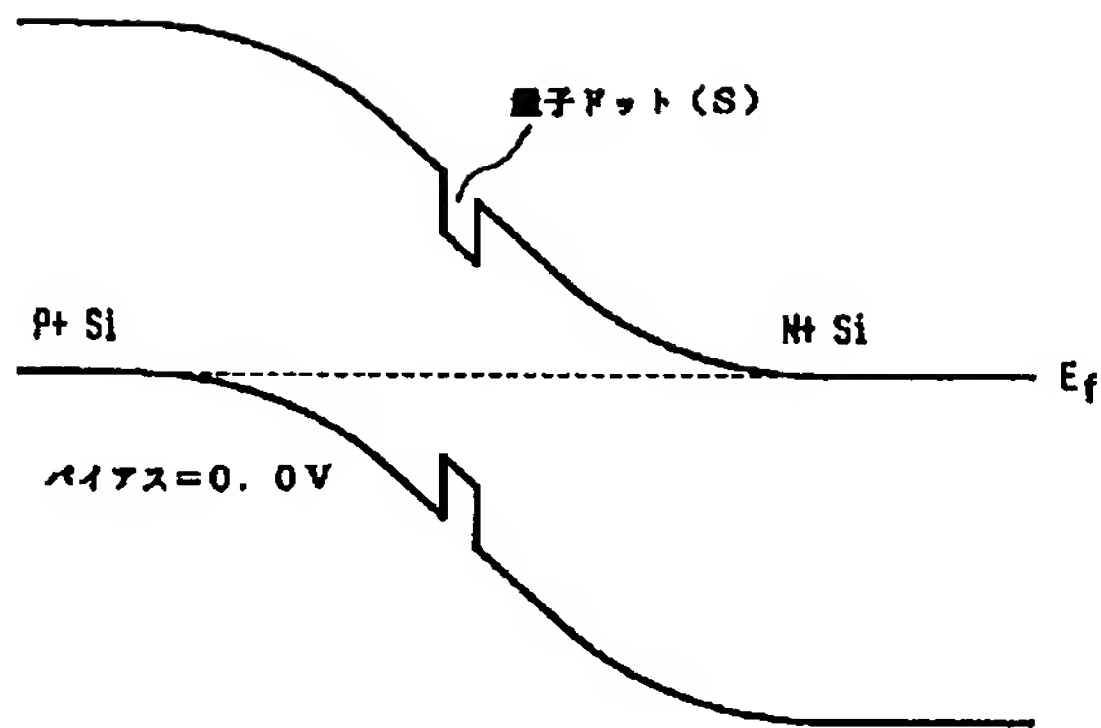
【図7】



【図9】



【図8】



フロントページの続き

(72) 発明者 セシャドリ・サバンナ  
アメリカ合衆国 ニューヨーク州 ホー  
プウェル ジャンクシオン ルート  
376 ホープウェル ガーデンエイビー  
アールティーエス #エフ-15

(72) 発明者 マニュ・ジャムナダス・テジュワニ  
アメリカ合衆国 ニューヨーク州 ヨー  
クタウン ハイツイ エサン コート  
1327

(56) 参考文献 特開 平6-61263 (JP, A)  
特開 平3-79088 (JP, A)  
特開 平3-116927 (JP, A)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**